

文章编号:1007-2780(2013)05-0693-05

基于 FPGA 片内 ODDR 接口技术的 LCD 驱动设计

侯淼林, 蒋 俊, 袁 渊*

(电子科技大学 自动化工程学院, 四川 成都 611731, E-mail: lin42041@126.com)

摘 要: 高分辨率 LCD 广泛应用于智能手持设备和电子测试仪器, 其驱动设计是当前研究的热点。对于诸如数字示波器等电子测试仪器, 其系统通常基于 FPGA+DSP 的架构, 没有专门负责驱动 LCD 的处理器, 并且传统的基于 FPGA 的 LCD 驱动方法, 受限于 FPGA 自身的总线速率, 无法满足高分辨率 LCD 的刷新速率要求。为了解决这一问题, 文章提出了一种基于 FPGA 片内 ODDR 接口技术的高分辨率 LCD 直接驱动方案, 设计了以 FPGA 为核心的驱动模块、以 DSP 为主控处理器的控制模块以及相应的外围电路。通过数据拼接技术对显示图像进行处理, 从而实现了高分辨率 LCD 的显示驱动和控制。经实验验证, 通过修改 FPGA 显示模块的相关行场频参数, 该方案同样适用于多种分辨率 LCD 的驱动和控制, 且可靠性高、容易实现。

关 键 词: 高分辨率 LCD; ODDR 接口技术; 现场可编程门阵列

中图分类号: TP332; TP334 文献标识码: A DOI: 10.3788/YJYXS20132805.0693

Design of LCD Driver Based on FPGA-Chip ODDR Interface Technology

HOU Miao-lin, JIANG Jun, YUAN Yuan*

(School of Automation Engineering, University of Electronic Science and Technology of China,
Chengdu 611731, China, E-mail: lin42041@126.com)

Abstract: High-resolution LCD is widely used in smart handheld device and electronic test equipment, and the design of its driver is becoming a hotspot in current research. The system architecture of electronic test equipments, such as digital oscilloscope, is usually based on FPGA&DSP. Therefore it has no dedicated processor serve for the LCD driver, and the traditional methods of LCD driver based on FPGA, is unable to meet the requirement of the refresh rate for its limited bus rate. To solve this problem, this paper describes a design of high-resolution LCD direct driving method based on FPGA-chip ODDR interface technology. The system is designed with FPGA as the core driver module, and DSP as the control module and the corresponding peripheral circuit. Processing display image with joining data together, it implements the driver and control of high-resolution LCD. Experimental results indicate that by modifying the frequency of line and field parameters of FPGA display module, the method is also suit to driver and control the multiple-resolution LCD with high reliability and easy to implement.

Key words: high-resolution LCD; ODDR interface technology; FPGA

收稿日期: 2013-03-01; 修订日期: 2013-04-04

作者简介: 侯淼林(1985—), 男, 江西赣州人, 硕士研究生, 研究方向为宽带时域测试技术及仪器。

* 通信联系人, E-mail: yuany@uestc.edu.cn

1 引 言

网络与无线通信技术的发展及其产品的迅速普及,全球数字化技术的迅速推进,促进了信息技术与信息产业的蓬勃兴起^[1]。作为终端显示的重要设备——液晶显示屏(LCD)因其具有功耗低、体积小、重量轻、寿命长、无电磁辐射等优点,自问世以来便得到了广泛应用^[2]。目前,高分辨率LCD(通常指分辨率高于 $1\,024\times 768$ (XGA)的LCD)广泛应用于智能手持设备和电子测试仪器,成为其产品不可或缺的重要组成部分。因此,高分辨率LCD的驱动已成为研究的热点。诸如智能手机和平板电脑等智能手持设备,LCD的驱动一般由ARM处理器完成^[3]。然而,对于诸如数字示波器等电子测试仪器而言,其系统通常基于FPGA+DSP的架构,并没有专门负责驱动LCD的处理器。高分辨LCD图形显示控制器和LCD之间的数据传输多采用低压差分信号(LVDS)技术来解决抗电磁干扰、速度快、误码低等问题。但是,高分辨率LCD的点时钟频率DCLK通常在 $40\sim 65$ MHz左右,采用LVDS技术来传输LCD显示数据则其数据速率高达 $280\sim 455$ Mbit/s。而现有的FPGA、DSP等嵌入式处理器,因其自身有限的总线速率无法满足高分辨率屏幕的数据显示^[4-5]。针对这种情况,本文提出了一种基于FPGA片内ODDR(output double data rate)接口技术的高分辨率LCD直接驱动设计方案,通过数据拼合技术对显示图像进行处理,解决了FPGA、DSP等嵌入式处理器总线速率低于高分辨率LCD刷新速率的问题,实现了高分辨率LCD的驱动显示和控制。

2 系统硬件设计

2.1 系统结构及 TFT-LCD 简介

本方案的硬件组成框图如图1所示,系统主要由DSP、FPGA、显存SRAM和相关外围电路组成。FPGA负责将接收到DSP传来的图像数据存到其外部两片SRAM中,当其中一片SRAM进行读取并将数据送至LCD显示时,另一片SRAM则负责接收DSP传来的数据,并最终由DSP控制FPGA将两片显存中的数据来回切换进行数据更新显示。用FLASH来存储DSP的程序代码和需要保存的参数等,两片存储器

SRAM1和SRAM2用来存储LCD需要显示的图像数据,本设计中的FPGA采用Xilinx公司的Spartan-6系列芯片作为驱动处理器,采用ADI公司ADSP-BF531作为系统控制器来实现LCD的显示控制。液晶显示电路采用FPGA对高分辨率的LCD进行驱动配置,根据LCD的相关要求产生行频、场频控制信号和图像数据信号。

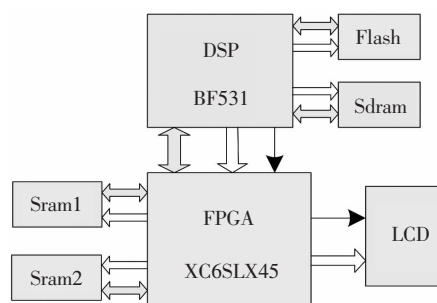


图1 系统硬件组成框图

Fig. 1 System hardware configuration diagram

TFT-LCD选用台湾奇美公司型号为G121X1-L04的彩色显示屏,大小为 $30.7\text{ cm}(12.1\text{ in})$,分辨率为 $1\,024\times 768$ 。拥有6 bit或8 bit可选LVDS信号接口,其对应18位或24位数字彩色屏。其工作温度范围在 $-30\text{ }^{\circ}\text{C}\sim +70\text{ }^{\circ}\text{C}$,可满足在众多空间及环境条件要求苛刻的工业及军事应用领域。

2.2 设计控制方案

G121X1-L04的点时钟DCLK的频率范围为 $57.5\sim 74.4$ MHz,其典型值为 64.9 MHz。G121X1-L04的输入信号时序如图2所示,DE是LCD的控制使能信号,高电平有效,是集行同步信号与场同步信号于一体的使能控制信号。其中, T_h 为行同步信号,分为行同步无效显示信号 T_{hb} 与行同步有效显示信号 T_{hd} 两部分组成,其以DCLK(点时钟)为时钟基准,即 T_{hb} 为320个DCLK时钟周期, T_{hd} 为1 344个DCLK时钟周。同理,场扫描时序以 T_h 为时钟基准,其中,场同步无效显示信号 T_{vb} 为38个 T_h 时钟周期,场同步有效显示信号 T_{vd} 为768个 T_h 时钟周期。由上述分析可知本设计中LCD的每场包括806行数据显示信号,其中有768行信号为有效显示行。每一行共包括1 344个液晶显示点,其中有效的液晶显示点为1 024个。

G121X1-L04的数据采用串行LVDS进行传

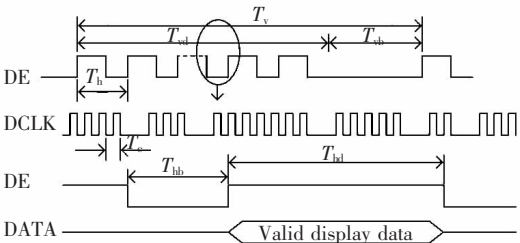


图 2 G121X1-L04 输入信号时序图

Fig. 2 G121X1-L04 input signal timing diagram

输,如图 3 所示,无论选用 6 bit 或 8 bit 的数据输入模式,均要求在一个点时钟内完成 7 bit 数据的传输,即红绿蓝组合数据传输速率应达到 402.5~520.8 Mbit/s。

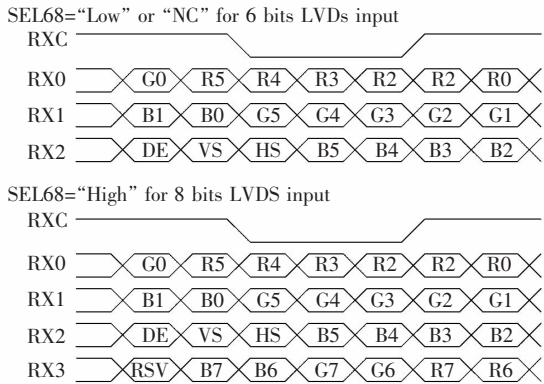


图 3 G121X1-L04 输入数据格式

Fig. 3 G121X1-L04 input data format

方案一:采用基于 OSERDES2 技术来实现高速数据的串行传输。OSERDES2 是 Spartan-6 系列产品中集成的并串转换器,可以通过 OSERDES2 原语实例化直接调用。OSERDES2 可以配置成 1:1,2:1,3:1 和 4:1 模式的并串转换输出;当两个 OSERDES2 级联并以差分形式输出时,OSERDES2 可以配置成 5:1,6:1,7:1 和 8:1 模式的并串转换输出。另外当使用 OSERDES2 原语进行数据并串转换输出时,需要一个外部输入 I/O 时钟来对发送的数据进行同步^[6]。例如,并行数据速率是 60 Mbit/s,采用 7:1 并串转换输出模式,则外部 I/O 输入时钟的大小应为 420 MHz。

方案二:采用基于 ODDR 技术来得到高速串行差分数据。DDR 双倍数据传输模式相较于 SDR (single data rate) 在不改变时钟信号前提下,可利用时钟的双沿(上升/下降沿)进行数据采集传输,从而获得接近于 SDR 两倍的数据传输

率^[7]。如图 4 所示,可采用两路 210 Mbit/s 数据来获得数据速率为 420 Mbit/s 的数据输出。不过由于 DDR 采用双沿触发技术获得的数据必然是偶数个数据,而 G121X1-L04 的输入数据格式要求在一个时钟周期内传送 7 bit 的显示数据。

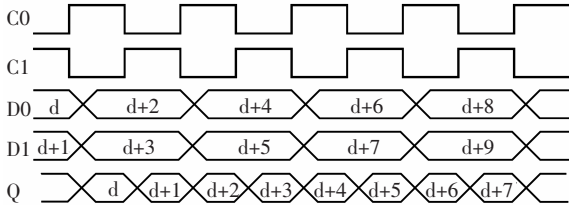


图 4 采用 C0 模式校准的 ODDR2 输出数据格式

Fig. 4 ODDR2 output data format with the C0 mode alignment

方案一设计思路较为简单,可以直接通过调用 OSERDES2 原语得到符合要求的显示数据,然而该方案必须要求设计一个高频的外部输入时钟,在实际应用中很难满足这一条件。相比之下,虽然方案二存在奇偶数据不匹配的问题,却可以通过数据处理来解决这个问题。

2.3 设计实现

鉴于 G121X1-L04 的输入数据格式要求在一个点时钟 DCLK 周期内传送 7 bit 的显示数据,而直接采用 DDR 技术得到的只能是偶数个数据,为了解决这个问题,本文采用基于 ODDR 的数据拼合处理技术来获得适合 G121X1-L04 显示的高速串行差分数据,其数据拼合时序如图 5 所示。根据图 4 所示的 ODDR2 输出数据格式可知,只要将数据按照图 5 所示的 D0、D1 顺序输入,即可得到满足图 3 输入数据格式要求的数据 Q。

根据图 5 所示的时序格式,需将原始显示图像数据做如下处理,其具体处理流程如图 6 所示。首先采用 LCD 的点时钟 DCLK 读取显示存储器中的数据并将读出的数据记录下来,待记录数据达两个时,将这两个数据进行拼合处理。在 FPGA 中,可采用 case 语句或 if-else 语句来完成上述处理要求,同时定义 4 个 16 bit 的寄存器用以记录对应显示存储器中读到的数据,根据乒乓切换缓存的原理^[8],将 4 个 16 bit 的寄存器分成两组,当第一组寄存器记录好两个数据时,切换至第二组进行记录新数据,同时将第一组记录好的数

据进行拼合处理;当第二组的寄存器记录好两个数据时,第一组之前记录好的两个数据已经拼合完毕,可进行下一次新数据记录,此时将第二组记录好的数据进行拼合处理,依此类推,循环往复,直到将显示存储器中存储的一屏显示数据全部拼合处理完毕。

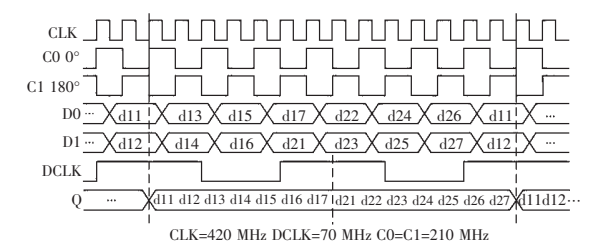


图 5 基于 ODDR 技术的数据拼合时序图

Fig. 5 Data join together technology based on ODDR timing diagram

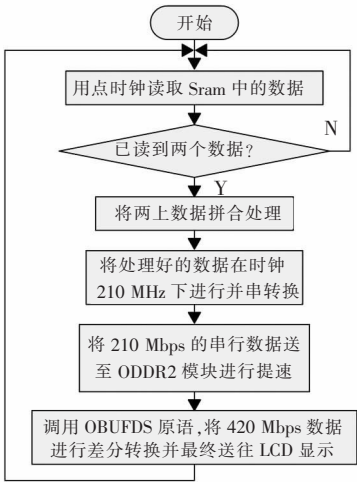


图 6 基于 ODDR 的数据拼合处理流程图

Fig. 6 Data join together technology based on ODDR flow diagram

需要注意的是,拼合的时候须严格按照 6 bit 或 8 bit 的 LVDS 输入信号格式来决定数据位所处的位置,假定选择 6 bit 的 LVDS 输入信号格式,即 16 bit 的原始数据按照红绿蓝 5 bit-6 bit-5 bit 来分配,红色和蓝色的最低位可按置 0 来处理,也就是把图 3 中的 R0 和 B0 置成 0,再加上 DE、VS、HS 3 个比特位信号,那么当两个位宽为 16 bit、速率为 60 Mbit/s 的数据到来时,分别按照图 3 的数据格式融合上 2 bit 的数据信息和 3 bit 的使能位,拼合后则得到两组新的数据 RX10、RX11、RX12 和 RX20、RX21、RX22,显然拼合后的这两组数据已减速且位宽变为 7 bit、数

据速率降为 30 Mbit/s。此时数据拼合已完毕,随后将这 6 个新组合数据进行时钟域的转换,通过异步 FIFO 将这些数据在 210 MHz 时钟下以串行格式输出,最后将这两组串行数据分别当作图 5 所示的 D0、D1 进行提速,调用的 ODDR 原语如下:

```
ODDR2 #(
    .DDR_ALIGNMENT("C0"),
    .INIT(1'b0),
    .SRTYPE("ASYNC")
) ODDR2_link0 (
    .Q(LCD_LINK0),
    .C0(CLK_210_MHz_P),
    .C1(CLK_210_MHz_N),
    .CE(oddr_en),
    .D0(oddr_link0_p),
    .D1(oddr_link0_n),
    .R(oddr_rst),
    .S(1'b0)
);
```

3 系统实验及分析

3.1 LCD 驱动模块仿真验证

LCD 控制器的驱动模块代码采用 Verilog HDL 语言编写,利用 ISE 自带的仿真工具 ISim 对模块进行功能仿真,并编写 testbench 测试代码,仿真的结果如图 7 所示,其中,CLK_D 为 LCD 的点时钟信号,LCD_HS、LCD_VS 和 d_ena 分别为 LCD 的行、场频控制信号和使能控制信号,而 cnt_hs 和 cnt_vs 则分别是用以统计 CLK_D

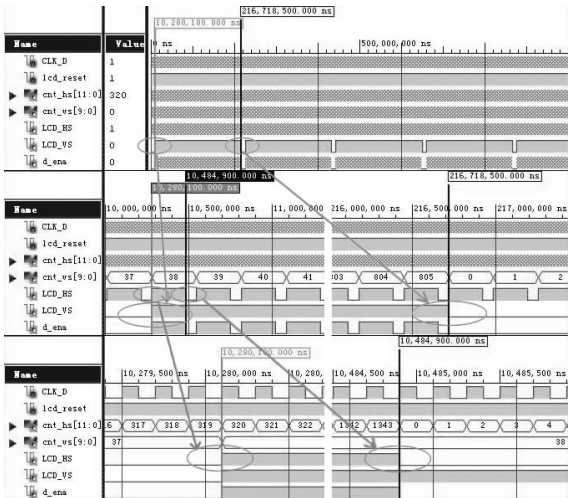


图 7 LCD 驱动模块仿真波形

Fig. 7 Simulation waveform of LCD driving module

的周期和 LCD_HS 的周期。图 7 分为上中下 3 部分,上面的部分是用来观察场频信号 LCD_VS 的仿真波形,将其放大后得到中间部分波形图,从中间部分可以看出场频信号 LCD_VS 的周期刚好是 806 个 LCD_HS 时钟周期,其中无效显示部分为 38 个 LCD_HS 时钟周期。同理,下半部分用以观察 LCD_HS 的部分波形,同样完全符合本设计既定的功能要求。

3.2 实验验证

本设计中的 FPGA 采用了 3 个系统全局时钟,并通过直接调用 FPGA 内部的锁相环来管理。其中一个全局时钟为点时钟 CLK_D,工作时钟频率为 60 MHz,其余两个全局时钟为 ODDR 模块时钟,其工作时钟频率均为 210 MHz,但相位相差 180°。值得一提的是本系统所采用的显示存储器属于异步 SRAM,故当 FPGA 从 SRAM 中读取数据时采用点时钟 CLK_D,而往 SRAM 中写数据时则采用 DSP 发送数据时的同步时钟 CLK_DSP,其大小为 133 MHz。实验显示结果如图 8、9 所示。实验结果表明,LCD 控制器显示清晰,稳定可靠,达到了高分辨率的显示效果。

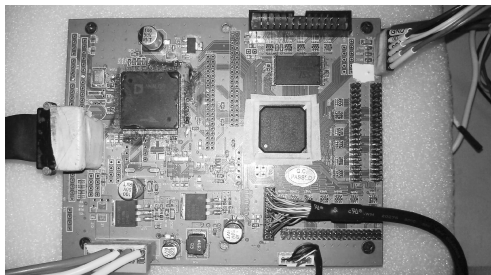


图 8 实验板卡

Fig. 8 Experimental circuit board

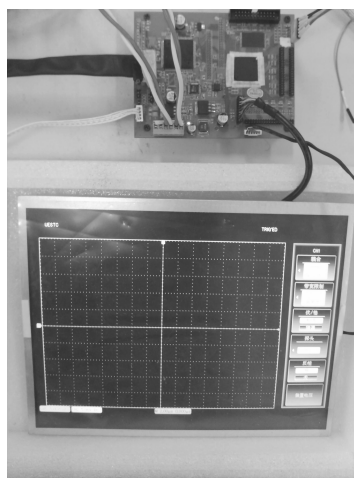


图 9 1 024×768 显示

Fig. 9 1 024×768 display

4 结 论

介绍了一种在可编程逻辑器件——FPGA 片内采用基于 ODDR 的数据拼合技术来获取高速串行差分数据的方法,分析并验证了该方法的可行性与实用性,并将高速串行差分数据应用于高分辨率 LCD 的驱动显示,解决了 FPGA、DSP 等嵌入式处理器总线速率低于高分辨率 LCD 刷新速率的问题,摒弃了在电子测试仪器系统中额外采用专用处理器实现 LCD 驱动的控制方式,降低了系统硬件设计成本,成功实现了高分辨率 LCD 的驱动显示和控制。经实验验证,通过修改 FPGA 显示模块的相关行场频参数,本方案同样适用于多种分辨率 LCD 的驱动显示和控制。本文提出的方法已成功应用于相关电子测试产品的显示,改善了相关测试设备的数据刷新率问题,且可靠性高,具有良好的应用前景。

参 考 文 献:

- [1] 张媛. TFT-LCD 驱动电路的研究与设计[D]. 西安:西安电子科技大学,2007.
- [2] 胡远望. 基于 FPGA 的液晶串口控制实现 [J]. 电子工程师,2008,34(9):30-33.
- [3] 张伽伟,周安栋,罗勇. ARM11 嵌入式系统 Linux 下 LCD 的驱动设计 [J]. 液晶与显示,2011,26(5):660-664.
- [4] 陈重,李浩,陈曦. 新型高分辨率 LCD 控制器的设计与实现 [J]. 计算机技术与应用,2011,37(6):123-126.
- [5] 曾政林,刘学满. 基于 FPGA 图形字符加速的液晶显示模块 [J]. 液晶与显示,2012,27(3):353-358.
- [6] Xilinx. Spartan-6 FPGA select IO resources user guide UG381 [EB/OL]. [2013-02-07]. http://www.xilinx.com/support/documentation/user_guides/ug381.pdf.
- [7] 李云志,李立萍,杨恒. 基于 FPGA 的 LVDS 高速差分板间接口应用 [J]. 集成电路设计与开发,2008,33(12):1138-1142.
- [8] 熊文彬,蒋泉,曲建军,等. 基于 FPGA 实现的视频显示系统 [J]. 液晶与显示,2011,26(1):93-95.